

Hans Zahnd HB9CBU Lizenziert seit 1980

beschäftige mich seit 25 Jahren mit der SDR-Technologie



Thema:

Neue Technologien und Algorithmen für Amateurfunk-Transceiver

Grundlage:

Studie "Optima SDR" (2023)

Studie "Optima SDR"

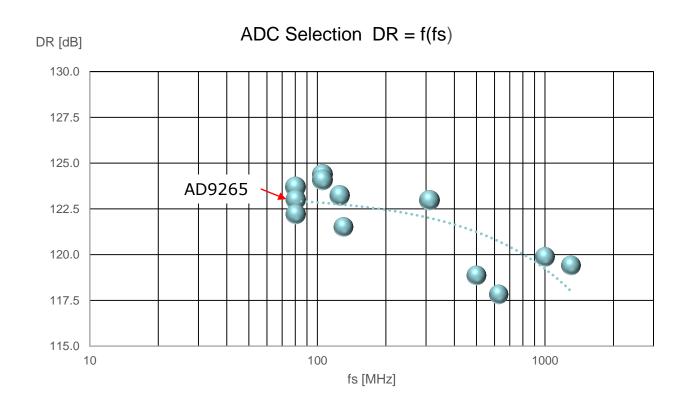


Die Studie deckt die folgenden Themen ab:

- Auswahl des optimalen AD-Wandlers
- Einfluss des Frontends auf die Empfängereigenschaften
- Vergleich mit den Daten des IC7610
- Störaustaster
- Verbesserte AGC
- Power Enhancer für die Sendeleistung
- Sender-Linearisierung (Predistortion)
- Erhöhung des Tx-Wirkungsgrades durch Enveloppen Tracking
- Preselektor f
 ür SDR's
- Gedanken zu einem komfortablen Remote Betrieb

Auswahl des optimalen AD-Wandlers





Dynamikbereich bei B = 2700Hz

Front End



Grundsätze:

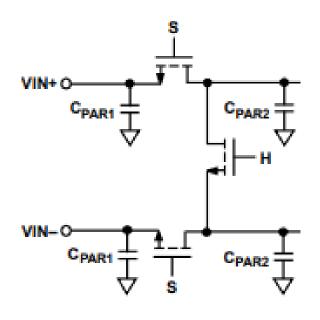
- Aktive Komponenten im Frontend verschlechtern den Dynamikbereich durch das eigene Rauschen und reduzieren zudem den maximalen Eingangspegel proportional zur Verstärkung
- Widerstände im Frontend verschlechtern die Empfindlichkeit infolge ihrer Dämpfung, aber erhöhen den max. Eingangspegel proportional zur Dämpfung

Daher:

- So geringe Verstärkung wie möglich
- Dämpfung möglichst gering halten
- Passive Impedanztransformation verwenden

Front End





Cpar1: 2pF

Cpar2: 7pF (Hold Capacitor)

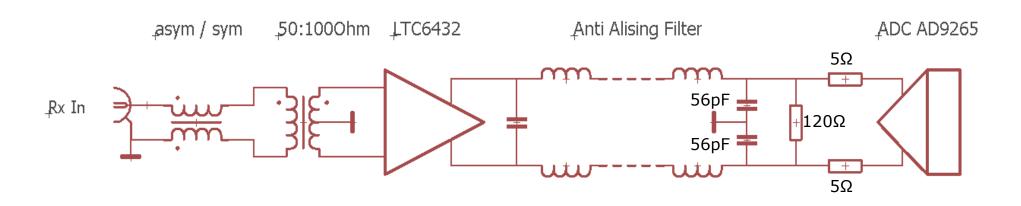
S: Sample Puls (300ps)

Bei Rq = $50\Omega \rightarrow \tau$ = 350psVs $\approx 60\%$ von Vin

An den Eingängen sind möglichst grosse Stützkondensatoren erforderlich

Front End





Spannungsverstärkung von Rx In bis AD-Wandler: 17dB

25.09.2024 / HB9CBU 7

Front End, errechnete Daten



mit Vorverst. ohne Vorverst.

B = 500Hz	ATT = 0dB	ATT = 10dB	
F	11.6	21.6	dB
MDS	-135.4	-125.4	dBm
SFDR3	107	107	dB
DR	128.4	128.4	dB
Pin_max	-7	+3	dBm

Analyse des Transceivers IC7610



Resultat aus dem Studium der Schemas und der Messdaten

- Verwendet wird ein 16 Bit AD Wandler LTC2208
- Der Vorverstärker LTC6409 rauscht stark (3.8nV/√Hz), deshalb ist ein hoher Gain notwendig. Dadurch wird der Dynamik-Bereich reduziert
- Das Rx-Signal passiert 15 Relays-Kontakte und 11 Dioden-Schalter zwischen Antenne und AD-Wandler
- Ein wirksames Antialasing-Filter fehlt (nur ein RC-Tiefpass)
- Dynamikbereich mit IP+: 114dB, mit VV2: 104dB (nach VA7AJ)
- Max. Rx-Pegel mit IP+: -9dBm, mit VV2: -28dBm (S9+45dB!)
- Das Phasenrauschen des Empfängers ist mit < -140dBm/Hz sehr gut!

Vergleich Optima SDR mit IC7610



IC7610: im Mode CW mit IP+ gemäss Adam Farson, VA7AJ

B = 500Hz	Opt_SDR	IC7610	Differenz
F	11.6 dB	18 dB	-6.4 dB
MDS	-135.4 dBm	-129 dBm	-6.4 dBm
SFDR3	107 dB	99 dB	-8 dB
DR	128.4 dB	120 dB	-8.4 dB
Pin_max	-7 dBm	-9 dBm	-2 dBm

Neue Algorithmen für zukünftige Transceiver



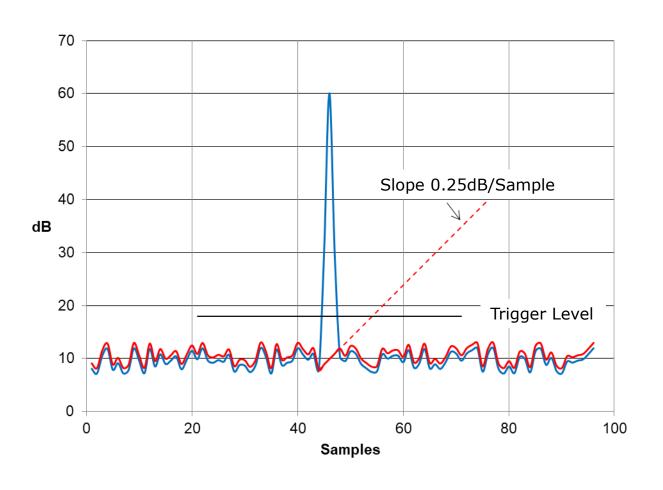
Empfänger

- Störaustaster
- Verbesserte AGC

Sender

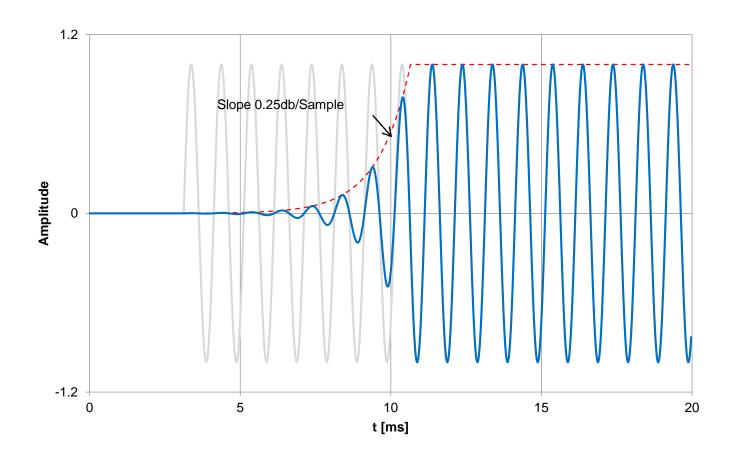
- Power Enhancer
- Linearisierung (Predistortion)
- Envelope Tracking





25.09.2024 / HB9CBU 12

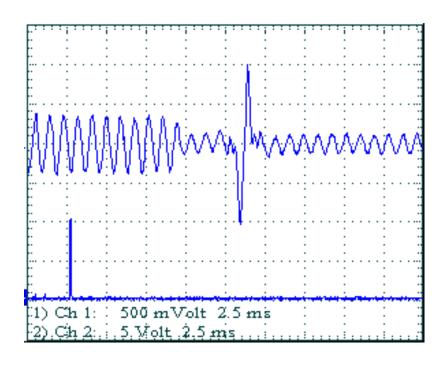


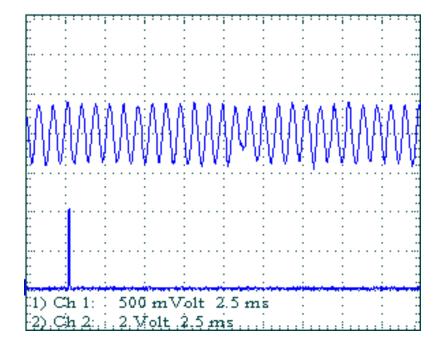


Beispiel für einen sprunghaften Signalanstieg von 60dB



Die Wirkungsweise des Störaustasters

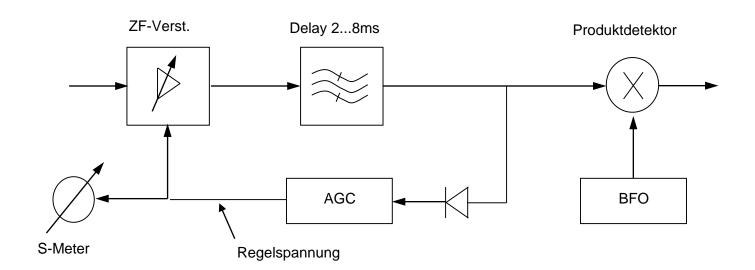




Überlagerung von einem Impuls 1Vp/100µs zu einem Signal von -97dBm (S5), ohne Störaustastung

Derselbe Störimpuls mit eingeschalteter Störaustastung

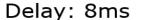


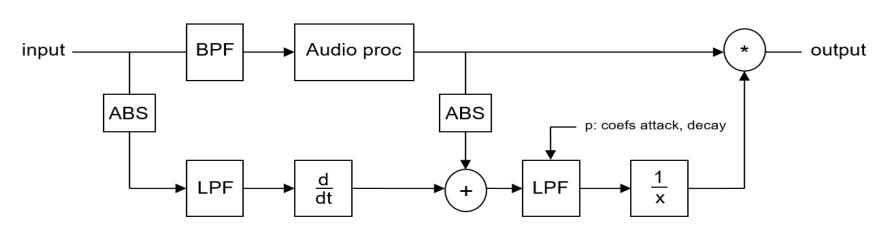


Konventionelle Realisierung der AGC (Feedback Prinzip)

- Filter-Delays führen zum Überschwingen der AGC
- · S-Meter Anzeige hängt von nichtlinearen Stellgliedern ab



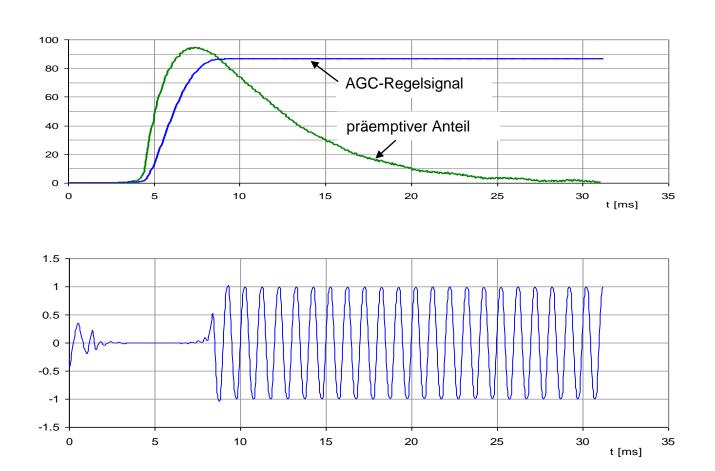




Moderne Realisierung der AGC (Feed Forward Prinzip)

- AGC wird durch den präemptiven Anteil 'vorgewarnt'
- Die Vorwärts Regelung ist inherent stabil und ohne Überschwingen





Beispiel eines Amplitudensprungs von 100dB

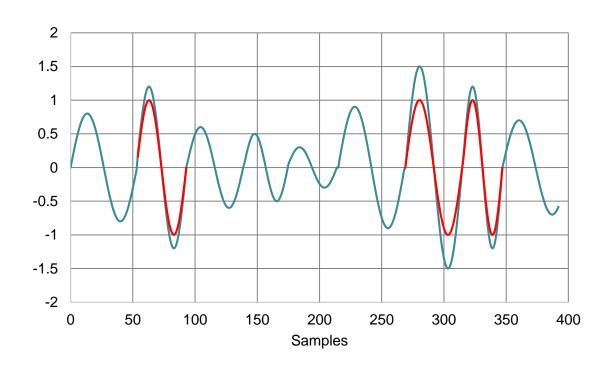
Der Sendeteil



Der Sendeteil in Amateurfunkgeräten ist in den letzten 40 Jahren kaum verändert worden:

- Bipolartransistoren mit 12V Betriebsspannung wurden abgelöst durch Feldeffekt-Transistoren (LD-MOS) mit höheren Betriebsspannungen
- Der PA-Wirkungsgrad liegt bei 40% bei Vollaussteuerung. Dies bedeutet, dass für 100W Ausgangsleistung 250W DC benötigt werden
- Intermodulationsabstände von -30dBc sind zur Norm geworden

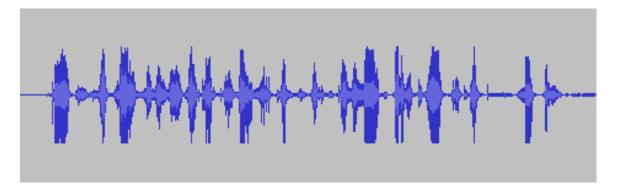




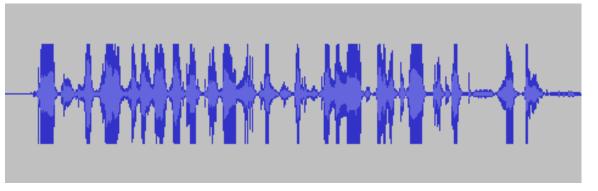
Prinzip: Das Modulationssignal wird zwischen zwei Nulldurchgängen gemessen. Falls es den Wert von 1.0 übersteigt, so wird es linear auf den Wert 1.0 skaliert.

Prinzip des Power Enhancers

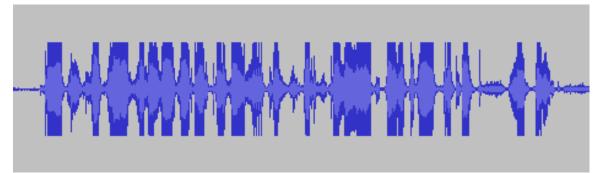








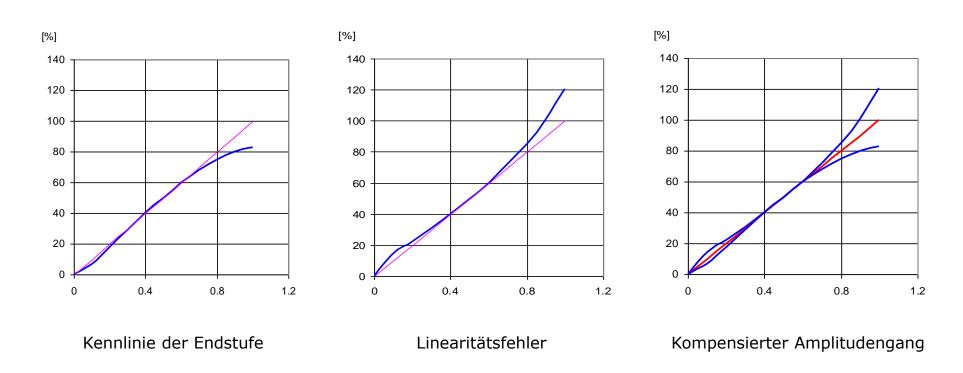
Stellung 6dB



Stellung 12dB



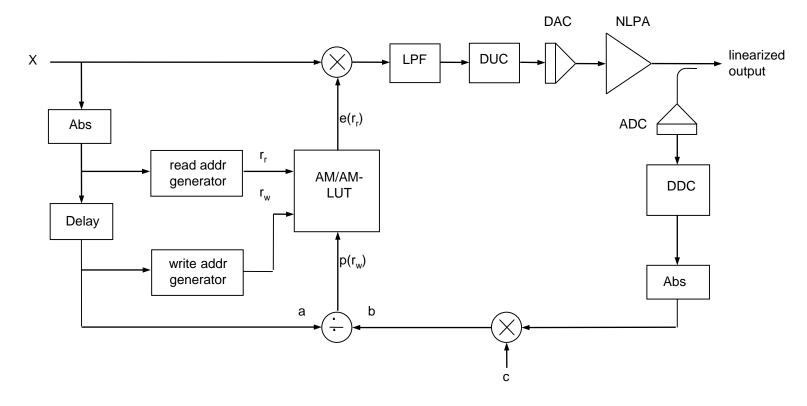
Das Prinzip der Vorverzerrung (AM/AM Predistortion)



Ebenso wichtig ist die Korrektur der Phasenverzerrungen (AM/PM)!

Prinzip der kartesischen Linearisierung





Prinzip: Das verspätet eintreffende Sendesignal (b) wird mit dem durch den 'delay' ebenfalls verzögerte unverzerrte Modulations-Signal (a) verglichen und der Quotient in der AM/AM-LUT dem entsprechenden Amplitudenwert zugeordnet. Dasselbe muss auch mit der Phase (AM/PM) vorgenommen werden.

Prinzip der kartesischen Linearisierung



Vorteile der kartesischen Linearisierung:

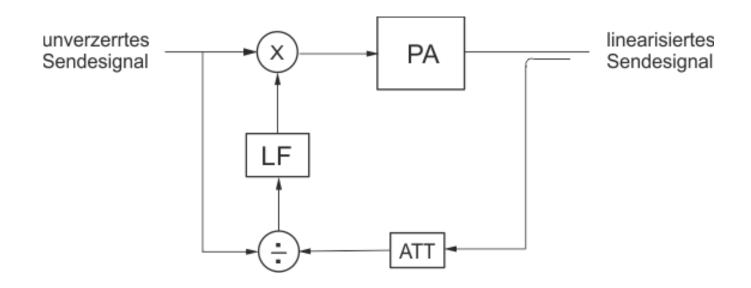
- Der Empfänger kann unverändert für die Rückgewinnung der Verzerrungen eingesetzt werden
- Die Reduktion der IM auf Werte bis zu -50dBc ist möglich

Nachteile:

- Die Look up Tables müssen ständig geglättet und interpoliert werden
- Durch die tiefe Sample Rate (32ksps) ist die zeitliche Auflösung ungenügend

Prinzip der Polaren Linearisierung



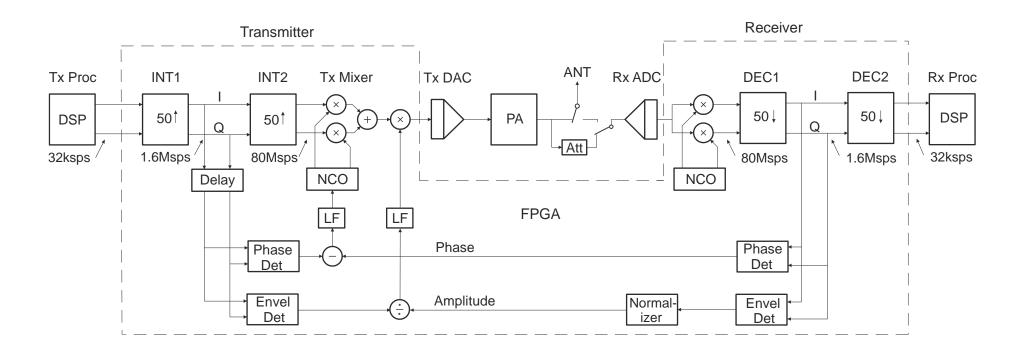


- Signale müssen in komplexer Form verarbeitet werden, oder getrennt nach Amplitude und Phase
- Der Loop-Gain muss hoch sein (→ Stabilität!)
- Mit analogen Mitteln kaum erreichbar (→ digitale Lösung mittels FPGA)

Polare Linearisierung



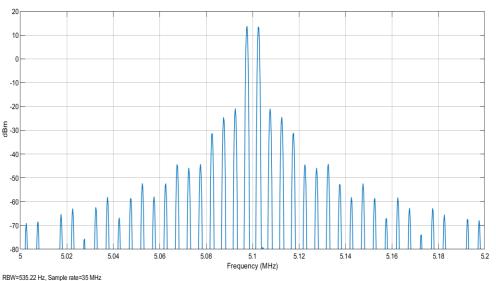
25



Polare Linearisierung: Lösungsvorschlag für die vollständig digitale Lösung

Resultat aus der Simulation

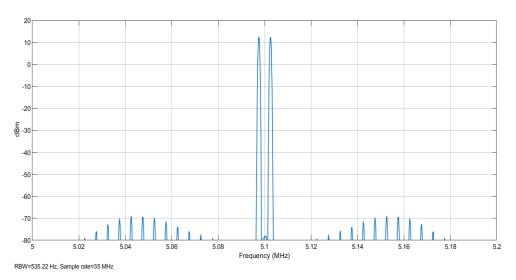




Resultat ohne Linearisierung

IM = -33dBc



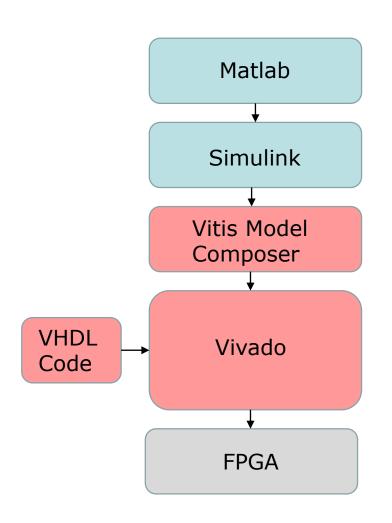


Resultat mit Linearisierung

IM = < -80dBc

FPGA Design Flow





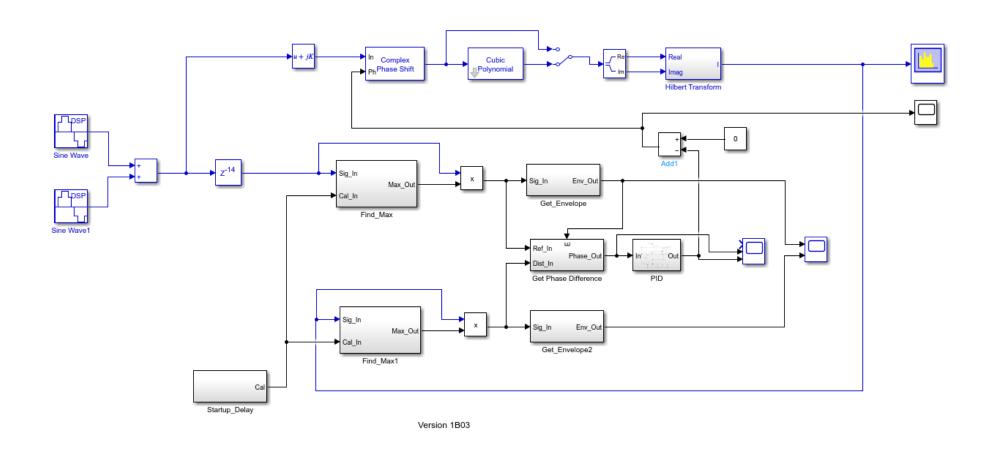
Entwicklung, Analyse, Simulation

Blockweise Umsetzung, Simulation

Synthese Implementation IO-Definition Bitstream erzeugen

FPGA Design Flow



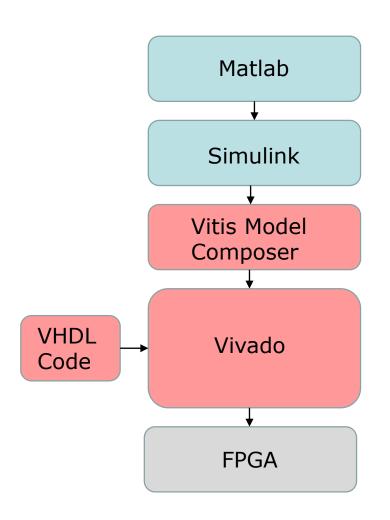


Beispiel einer Matlab / Simulink Simulation

25.09.2024 / HB9CBU 28

FPGA Design Flow





Entwicklung, Analyse, Simulation

Blockweise Umsetzung, Simulation

Synthese Implementation IO-Definition Bitstream erzeugen

AMD / Xilinx FPGA



Verwendetes FPGA: Artix-7 XT7A35T

• 33280 Logic Cells

• 5200 Slices 8 Flip Flops und LUT

400 Kb LUT-RAM

• 90 DSP Slices 25 x 18 Bit Multiplier mit 48 Bit Adder

1800 Kb Block-RAM in 100 Blöcken

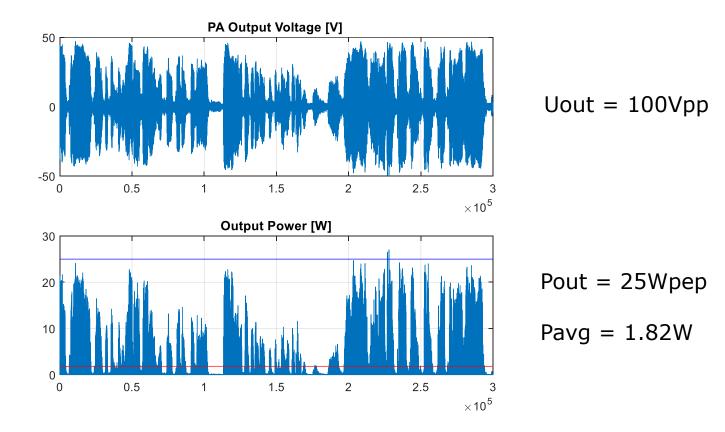
• 250 User Interfaces

Technologie: 28nm Geometrie, 1V core voltage

Gehäuse: BGA 324 Pin, 15 x 15mm

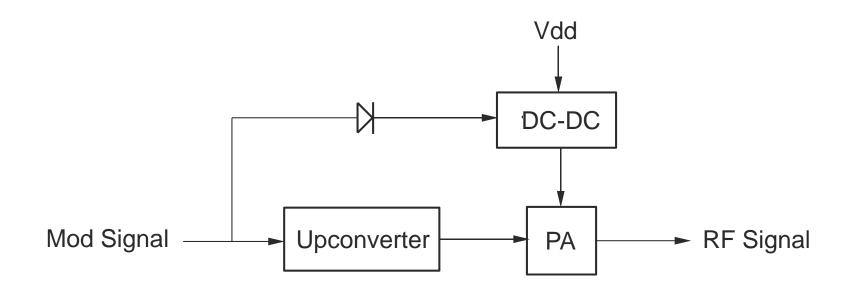
Envelope Tracking





Die mittlere Leistung eines Sprachsignals beträgt nur 7.2% des Spitzenwertes!



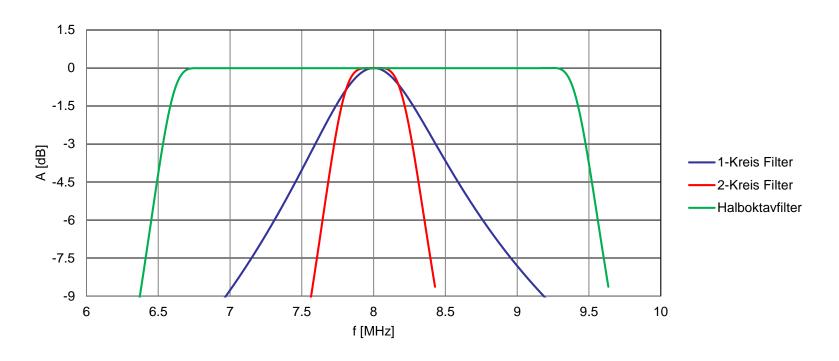


Ziel: mindestend 12 Stunden Kontestbetrieb mit 25Wpep und einer Lithium Batterie 12V, 12Ah (2kg Gewicht)

(Der IC-705 schafft nur 10 Stunden bei 10Wpep)

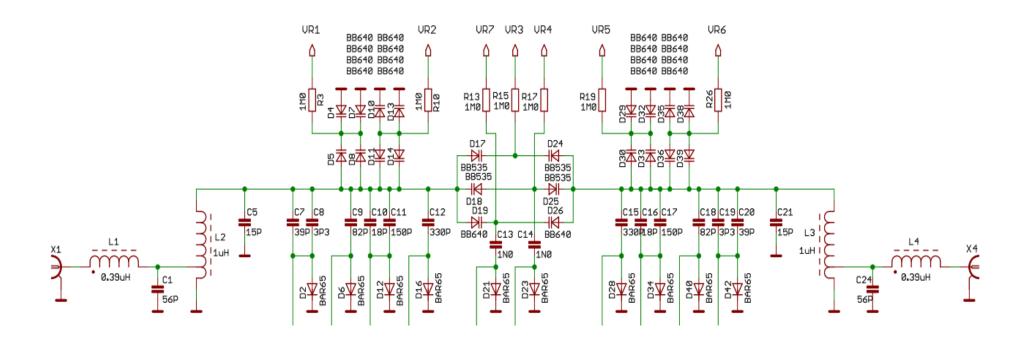
Preselektor





- Eine wirksame Vorselektion ist bei SDR-Empfängern sehr wichtig
- Ein 2-Kreis Filter erfüllt die Anforderungen von >15dB Dämpfung in 10% Abstand von der Mittenfrequenz
- Ein 2.5% Raster erfordert 120 Filtereinstellungen!





Auszug aus dem Schema des Preselektors (High Band 8...30MHz)

Gedanken zum komfortablen Remote Betrieb



Klassen für den Remote Betrieb:

- Punkt-Punkt Verbindung für den abgesetzten Betrieb eines Transceivers
- Client-Server Betrieb für einen abgesetzten Transceiver (Server) und mehrere berechtigte User (Clients)
- Client-Server Betrieb mit zusätzlichem FTP, das dem Hersteller oder berechtigten Personen Downloads, Konfigurationen oder Diagnose-Funktionen erlaubt

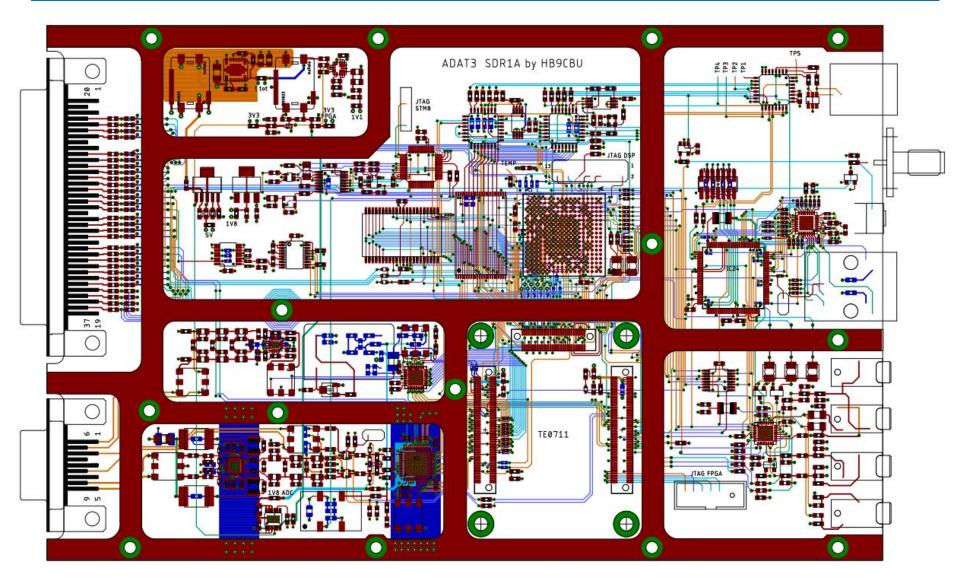
Client:

- grafische Benutzeroberfläche (PC, Tablet, ...)
- ein zum Server baugleicher Transceiver

Für das Handling der dynamischen Netzwerkadressen wird ein DynDNS Service erforderlich sein

SRD-Board





25.09.2024 / HB9CBU 36



Besten Dank für Eure Aufmerksamkeit!

Bin gerne bereit, Fragen zu beantworten

25.09.2024 / HB9CBU 37